

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Makoto TAKIZAWA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ELECTRONIC CARD USING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

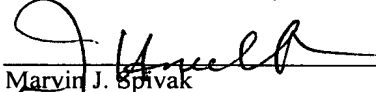
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-348935	November 29, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

03S/242-1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 9 日
Date of Application:

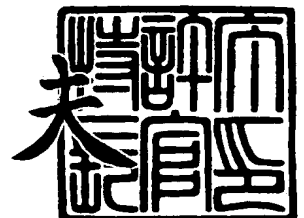
出 願 番 号 特 願 2 0 0 2 - 3 4 8 9 3 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 4 8 9 3 5]

出 願 人
Applicant(s): 株式会社東芝
 東芝マイクロエレクトロニクス株式会社

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 6 3 1

【書類名】 特許願

【整理番号】 A000205838

【提出日】 平成14年11月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/00

【発明の名称】 半導体集積回路装置及びそれを用いた電子カード

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

【氏名】 瀧澤 誠

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 000221199

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【包括委任状番号】 9105411



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びそれを用いた電子カード

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体領域と、

前記第 1 導電型の半導体領域に形成され、出力端子に接続される第 2 導電型のソース／ドレイン領域を持つ第 1 の絶縁ゲート型電界効果トランジスタと、

前記ソース／ドレイン領域に隣接して前記第 1 導電型の半導体領域に形成され、前記絶縁ゲート型電界効果トランジスタのゲートに接続される第 2 導電型の半導体領域と

を具備することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 導電型の半導体領域に形成され、前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続される第 2 導電型のソース／ドレイン領域を持ち、前記第 1 の絶縁ゲート型電界効果トランジスタを駆動する第 2 の絶縁ゲート型電界効果トランジスタを、さらに具備し、

前記第 1 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第 2 導電型の半導体領域までの距離が、前記第 1 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第 2 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 第 1 導電型の半導体領域と、

前記第 1 導電型の半導体領域に形成され、出力端子に接続される第 2 導電型のソース／ドレイン領域を持つ第 1 の絶縁ゲート型電界効果トランジスタと、

前記第 1 導電型の半導体領域に形成され、前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続される第 2 導電型のソース／ドレイン領域を持ち、前記第 1 の絶縁ゲート型電界効果トランジスタを駆動する第 2 の絶縁ゲート型電界効果トランジスタと、

前記第 1 導電型の半導体領域をアノード及びカソードの一方とし、前記第 1 導電型の半導体領域に形成され、前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続されるアノード及びカソードの他方を持つダイオードとを具備し、

前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記アノード及びカソードの他方までの距離が、前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第2の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする半導体集積回路装置。

【請求項4】 第1導電型の半導体領域と、

前記第1導電型の半導体領域に形成され、出力端子に接続される第2導電型のソース／ドレイン領域を持つ第1の絶縁ゲート型電界効果トランジスタと、

前記第1導電型の半導体領域に形成され、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続される第2導電型のソース／ドレイン領域を持ち、前記第1の絶縁ゲート型電界効果トランジスタを駆動する第2の絶縁ゲート型電界効果トランジスタと、

前記第1導電型の半導体領域に形成され、自身のゲートに短絡されるソース／ドレイン領域と、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続されるソース／ドレイン領域とを持つ第3の絶縁ゲート型電界効果トランジスタとを具備し、

前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第3の絶縁ゲート型電界効果トランジスタの前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続されるソース／ドレイン領域までの距離が、前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第2の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする半導体集積回路装置。

【請求項5】 第1導電型の半導体領域と、

前記第1導電型の半導体領域に形成され、出力端子に接続される第2導電型のソース／ドレイン領域を持つ第1の絶縁ゲート型電界効果トランジスタと、

前記第1導電型の半導体領域に形成され、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続される第2導電型のソース／ドレイン領域を持ち、前記第1の絶縁ゲート型電界効果トランジスタを駆動する第2の絶縁ゲート型電界効果トランジスタと、

前記第 1 導電型の半導体領域をベースとし、このベースに短絡されるエミッタ／コレクタ領域と、前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続されるエミッタ／コレクタ領域とを持つバイポーラトランジスタとを具備し、

前記第 1 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記バイポーラトランジスタの前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続されるエミッタ／コレクタ領域までの距離が、前記第 1 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第 2 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする半導体集積回路装置。

【請求項 6】 前記第 1、第 2 の絶縁ゲート型電界効果トランジスタは出力回路を構成し、

前記出力回路は、不揮発性半導体記憶装置の出力回路であることを特徴とする請求項 2 乃至請求項 5 いずれか一項に記載の半導体集積回路装置。

【請求項 7】 前記第 1、第 2 の絶縁ゲート型電界効果トランジスタは出力回路を構成し、

前記出力回路は、不揮発性半導体記憶装置の出力回路であることを特徴とする請求項 2 乃至請求項 5 いずれか一項に記載の半導体集積回路装置。

【請求項 8】 前記不揮発性半導体記憶装置は、NAND型、AND型のいずれかであることを特徴とする請求項 6 及び請求項 7 いずれかに記載の半導体集積回路装置。

【請求項 9】 請求項 1 に記載の半導体集積回路装置を用いた電子カード。

【請求項 10】 請求項 3 に記載の半導体集積回路装置を用いた電子カード

。

【請求項 11】 請求項 4 に記載の半導体集積回路装置を用いた電子カード

。

【請求項 12】 請求項 5 に記載の半導体集積回路装置を用いた電子カード

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体集積回路装置及びそれを用いた電子カードに係わり、特に半導体集積回路装置自身への充電、及び半導体集積回路装置自身からの放電に起因した破壊対策に関する。

【0002】**【従来の技術】**

半導体集積回路装置は、出力端子に印加された過大な電流から集積回路を保護するための保護回路や保護機能を持つ。この試験規格は、MIL (Military Standards) や EIAJ (Electronic Industries Association of Japan) により制定されている。

【0003】

半導体集積回路装置はそれ単体で使用されることはなく、通常、電子製品に組み込まれて使用される。このため、市場において半導体集積回路装置は常時接地点、もしくは電源に接続されている、と考えることができる。MILやEIAJによる試験規格では、ニードルを出力端子に接触させ、過大な電流を数十 nsec ~ 数 μsec という時間をかけて半導体集積回路装置に流す。この試験中、半導体集積回路装置は接地点や電源に接続された状態である。この状態で保護回路や保護機能は、半導体集積回路装置は過大な電流を接地点や電源に逃がし、集積回路を保護する。これにより、半導体集積回路装置は過大な電流が不慮に与えられても破壊し難くなり、半導体集積回路装置を組み込んでいる電子製品の信頼性や耐久性が向上する。

【0004】

近時、半導体集積回路装置の応用は電子製品ばかりでなく、様々なメディア、例えば、記録メディア、情報メディアにも広がりを見せてきた。従来の記録メディア、情報メディアは、磁気カード、磁気ディスクであり、情報を磁気によって記憶する。この磁気記憶部分を、不揮発性半導体記憶装置により置換する。これにより、磁気カード、磁気ディスクに比較して、情報記憶量、情報保持性、情報機密性等を向上させることが可能になる。このような記録メディアの例は、メモリカード、ICカードと呼ばれ、市場に広く出まわっている。メモリカードを紹

介した文献としては、例えば、非特許文献1がある。本明細書では、これら半導体集積回路装置を利用したあらゆる記録メディア、情報メディアを電子カードと呼ぶ。

【0005】

【非特許文献1】

Shigeo Araki, "The Memory Stick", <http://www.ece.umd.edu/courses/ene759m.S2002/papers/araki2000-micro20-4.pdf> pp40-46.

【0006】

【発明が解決しようとする課題】

電子カードは、磁気カード、磁気ディスクと同様に、常に電子製品に組み込まれて使用されるものではない。人間によって持ち運ばれ、あるいは携帯されるものである。つまり、電子カード内の半導体集積回路装置は、電氣的に接地点や電源に接続されていない状態が多い。接地点や電源に未接続のまま、半導体集積回路装置が過酷な環境に遭遇すると、過大な電流を接地点や電源に逃がすという従来の保護回路や保護機能では、集積回路を十分に保護できなくなる可能性がでてきた。

【0007】

この発明は上記事情に鑑み為されたもので、その目的は、集積回路が接地点や電源に未接続の状態でも、この集積回路を破壊から保護することが可能な半導体集積回路装置及びそれを用いた電子カードを提供することにある。

【0008】

【課題を解決するための手段】

この発明の第1態様に係る半導体集積回路装置及び電子カードは、第1導電型の半導体領域と、前記第1導電型の半導体領域に形成され、出力端子に接続される第2導電型のソース／ドレイン領域を持つ第1の絶縁ゲート型電界効果トランジスタと、前記ソース／ドレイン領域に隣接して前記第1導電型の半導体領域に形成され、前記絶縁ゲート型電界効果トランジスタのゲートに接続される第2導電型の半導体領域とを具備することを特徴としている。

【0009】

この発明の第2態様に係る半導体集積回路装置及び電子カードは、第1導電型の半導体領域と、前記第1導電型の半導体領域に形成され、出力端子に接続される第2導電型のソース／ドレイン領域を持つ第1の絶縁ゲート型電界効果トランジスタと、前記第1導電型の半導体領域に形成され、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続される第2導電型のソース／ドレイン領域を持ち、前記第1の絶縁ゲート型電界効果トランジスタを駆動する第2の絶縁ゲート型電界効果トランジスタと、前記第1導電型の半導体領域をアノード及びカソードの一方とし、前記第1導電型の半導体領域に形成され、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続されるアノード及びカソードの他方を持つダイオードとを具備する。そして、前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記アノード及びカソードの他方までの距離が、前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第2の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする。

【0010】

この発明の第3態様に係る半導体集積回路装置及び電子カードは、第1導電型の半導体領域と、前記第1導電型の半導体領域に形成され、出力端子に接続される第2導電型のソース／ドレイン領域を持つ第1の絶縁ゲート型電界効果トランジスタと、前記第1導電型の半導体領域に形成され、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続される第2導電型のソース／ドレイン領域を持ち、前記第1の絶縁ゲート型電界効果トランジスタを駆動する第2の絶縁ゲート型電界効果トランジスタと、前記第1導電型の半導体領域に形成され、自身のゲートに短絡されるソース／ドレイン領域と、前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続されるソース／ドレイン領域とを持つ第3の絶縁ゲート型電界効果トランジスタとを具備する。そして、前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第3の絶縁ゲート型電界効果トランジスタの前記第1の絶縁ゲート型電界効果トランジスタのゲートに接続されるソース／ドレイン領域までの距離が、前記第1の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第2の絶縁ゲート型電界効

果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする。

【0 0 1 1】

この発明の第 4 態様に係る半導体集積回路装置及び電子カードは、第 1 導電型の半導体領域と、前記第 1 導電型の半導体領域に形成され、出力端子に接続される第 2 導電型のソース／ドレイン領域を持つ第 1 の絶縁ゲート型電界効果トランジスタと、前記第 1 導電型の半導体領域に形成され、前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続される第 2 導電型のソース／ドレイン領域を持ち、前記第 1 の絶縁ゲート型電界効果トランジスタを駆動する第 2 の絶縁ゲート型電界効果トランジスタと、前記第 1 導電型の半導体領域をベースとし、このベースに短絡されるエミッタ／コレクタ領域と、前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続されるエミッタ／コレクタ領域とを持つバイポーラトランジスタとを具備する。そして、前記第 1 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記バイポーラトランジスタの前記第 1 の絶縁ゲート型電界効果トランジスタのゲートに接続されるエミッタ／コレクタ領域までの距離が、前記第 1 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域から前記第 2 の絶縁ゲート型電界効果トランジスタの前記ソース／ドレイン領域までの距離よりも短いことを特徴とする。

【0 0 1 2】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0 0 1 3】

実施形態の説明に先立ち、半導体集積回路装置が接地点や電源に未接続の状態 で想定される、不測の事態を説明する。

【0 0 1 4】

図 1 A、図 1 B は不測の事態の一例を説明するための図である。

【0 0 1 5】

図 1 A に示すように、電子カード 1 は、接地された導体 (CONDUCTOR) 上に置

かれている。電子カード1内の半導体集積回路装置チップ2は接地点や電源に未接続である。このような状態の電子カード1に、例えば、“正”に帯電した帯電体、例えば、指先が近づいてきたとする。指先と電子カード1との間の距離が、ある距離になると、図1Bに示すように、指先と電子カード1との間に気中放電(Aerial Discharge)が起こる。この結果、電子カード1及び又はチップ2が充電され、“正”に帯電する。

【0016】

図2A、図2Bは不測の事態の他例を説明するための図である。

【0017】

また、図2Aに示すように、電子カード1が、例えば、“正”に帯電していたとする。この電子カード1を、例えば、接地された導体(CONDUCTOR)上に落としてしまったとする。電子カード1内のチップ2は図1A、図1Bと同様に接地点や電源に未接続である。この場合にも、電子カード1と接地された導体との間の距離が、ある距離になると、電子カード1と接地された導体との間に気中放電が起こる。この結果、図1A、図1Bに示した状況とは反対に、電子カード1が放電する。

【0018】

上記事態はチップ2が接地点や電源に未接続である以上、過大な電流を接地点や電源に逃がすという保護回路や保護機能を用いて集積回路を保護することには限界がある。例えば、MILやEIAJによる試験規格はニードルを出力端子に接触させ、数十nsec～数μsecという時間をかけて過大な電流を半導体集積回路装置に流す。そのような規格を満足するために、保護回路や保護機能は数十nsec～数μsecという時間をかけて過大な電流を接地点や電源に逃がす。図3Aに、ニードルを出力端子に接触させた場合の電流Iと時間tとの関係を示す。

【0019】

しかし、上記事態は、チップ2が接地点や電源に未接続のまま、過大な電圧が電子カード1及び/又はチップ2に与えられ、その結果、電子カード1自身及び/又はチップ2と帯電体、もしくは接地点との間に気中放電が起こるものである。

このような気中放電は、数 $nsec$ 以下、一般的には $1nsec$ 以下で終息すると考えられ、MILやEIAJによる試験時間よりもはるかに短い。しかも、その電圧は、過大な電流が流れる場合に比較してはるかに高い。図3Bに、気中放電が起こった場合の電圧 V と時間 t との関係を示す。図3Bには、比較のために、ニードルを出力端子に接触させた場合の電圧 V と時間 t との関係を点線で示しておく。このような不測の事態は、MILやEIAJの試験規格を満足する保護回路や保護機能のみで克服することは難しい。

【0020】

図4A、図4Bはこの発明の参考例に係る半導体集積回路装置を示す回路図である。

【0021】

図4A、図4Bはチップ2の出力回路の部分を示しており、かつチップ2が接地点GND及び電源VCCに接続されている状態を示している。この出力回路は、過大な電流が出力端子PADに流れたとき、次のようにして、集積回路を保護する。

【0022】

まず、図4Aに示すように、正の電位が与えられたニードル17を出力端子PADに接触させ、出力回路のNチャネル型MOSFET N1のドレインD、及びPチャネル型MOSFET P1のドレインDに向かって過大な電流 I を流す。この場合、トランジスタN1のドレインと、このドレインが形成されているP型半導体基板（又はP型ウェル）とのPN接合がブレイクダウンする。P型半導体基板は、接地点GNDに接続されているので、過大な電流 I は接地点GNDに流れる。

【0023】

反対に、負の電位が与えられたニードル17を出力端子PADに接触させる。この場合、図4Bに示すように、トランジスタP1のドレインDとこのドレインが形成されているN型ウェル（又はN型半導体基板）とのPN接合がブレイクダウンする。N型ウェルは、電源VCCに接続されているので、過大な電流 I は電源VCCから出力端子PADに流れる。

【0024】

このようにして参考例に係る半導体集積回路装置は、MILやEIAJの試験規格を満たし、集積回路を過大な電流Iから保護する。

【0025】

しかし、図5A、図5Bに示すように、チップ2が接地点GND及び電源VCCに未接続の場合、次のような破壊モードがあることが、本件発明者により見出された。

【0026】

図5A、図5Bに示すように、チップ2が何らかの原因で正に帯電している、と仮定する。正に帯電したチップ2の出力端子PADに、接地したニードル17を近づける。すると、出力端子PADとニードル17との間に気中放電が起こる(1)。これにより、トランジスタN1のドレインDの電位が低下し、P型半導体基板Psubが順バイアスされ、ドレインDとP型半導体基板との間に電流が流れる。この結果、ドレインDの周囲の基板電位が低下する(2)。この電位低下は、接地点GNDに接続される配線(接地線GND)を介して基板内部に広がっていく(3)。接地線GNDは、抵抗RGNDを持つためである。この電位低下は、やがてトランジスタN1を駆動する駆動回路に達する。駆動回路にはNチャネル型MOSトランジスタN2が含まれている。電位低下がトランジスタN2のドレインDの周囲に達すると、このドレインDとP型半導体基板とがブレイクダウンする(4)。トランジスタN2のドレインDはトランジスタのN1のゲートに接続されている。このため、トランジスタN2のドレインとトランジスタN1のゲートとを接続する配線に電流が流れ、トランジスタN1のゲートの電位が低下する(5)。

【0027】

この際、トランジスタN1のドレインDの電位低下と、そのゲートの電位低下との間には時間差が生ずる。この原因は、接地線GNDに抵抗RGNDが存在し、かつトランジスタN2のドレインとトランジスタN1のゲートとを接続する配線にも抵抗RNが存在するためである。このため、ゲートの電位低下が遅れ、トランジスタN1のドレインDと、そのゲートGに図5Bに示すように電位差Aが

一時的に生じる。トランジスタ N1 のゲート絶縁膜は、電位差 A に耐え得ることが必要となるが、気中放電の場合の電位差は数千 V に達すると見込まれ、破壊は避けられない。

【0028】

このようにして、チップ 2 が接地点 GND 及び電源 VCC に未接続の場合に、不測の事態が発生すると、集積回路が破壊されてしまう。

【0029】

以下、上記不測の事態を克服することが可能な半導体集積回路装置を、この発明の第 1 実施形態～第 3 実施形態として説明する。

【0030】

(第 1 実施形態)

図 6 A はこの発明の第 1 実施形態に係る半導体集積回路装置を示す回路図である。

【0031】

図 6 A に示すように、第 1 実施形態に係る半導体集積回路装置は出力回路である。この出力回路は、出力端子 PAD を駆動する出力バッファ 21 と、出力バッファ 21 を、集積回路内部からの信号に基づき駆動する駆動回路 22 とを含む。

【0032】

出力バッファ 21 は、ドレインを出力端子 PAD に接続し、ソース及びバックゲートを接地点 GND に接続した N チャンネル絶縁ゲート型電界効果トランジスタ N1 と、ドレインを出力端子 PAD に接続し、ソース及びバックゲートを電源 VCC に接続した P チャンネル絶縁ゲート型電界効果トランジスタ P1 とを含む。絶縁ゲート型電界効果トランジスタの一例は MOSFET である。トランジスタ P1 のゲート、及びトランジスタ N1 のゲートはそれぞれ駆動回路 22 に接続されている。

【0033】

駆動回路 22 は、ドレインをトランジスタ N1 のゲートに接続し、ソース及びバックゲートを接地点 GND に接続した N チャンネル絶縁ゲート型電界効果トランジスタ N2、及びドレインをトランジスタ N1 のゲートに接続し、ソース及びバ

ックゲートを電源VCCに接続したPチャネル絶縁ゲート型電界効果トランジスタP2を含む。トランジスタN2、P2は、図示せぬ内部の集積回路からの信号に基づき、出力バッファ21のトランジスタN1を駆動する。

【0034】

また、駆動回路22は、ドレインをトランジスタP1のゲートに接続し、ソース及びバックゲートを接地点GNDに接続したNチャネル絶縁ゲート型電界効果トランジスタN3、及びドレインをトランジスタP2のゲートに接続し、ソース及びバックゲートを電源VCCに接続したPチャネル絶縁ゲート型電界効果トランジスタP3を含む。トランジスタN3、P3も、トランジスタN2、P2と同様に、図示せぬ内部の集積回路からの信号に基づき、出力バッファ21のトランジスタP1を駆動する。

【0035】

さらに本実施形態に係る出力回路は、カソードをトランジスタN1のゲートに接続し、アノードを接地点GNDに接続したダイオードDNと、アノードをトランジスタP1のゲートに接続し、カソードを電源VCCに接続したダイオードDPとを備える。ダイオードDNのカソードはトランジスタN1のドレインに隣接して形成され、ダイオードDPのアノードはトランジスタP2のドレインに隣接して形成される。そのパターン平面の一例を、図6Bに示す。

【0036】

図6Bに示すように、一例に係るパターン平面では、トランジスタN1、P1、出力端子PADが、接地線GNDと電源線VCCとの間の領域に配置される。接地線GND及び電源線VCCは、例えば、第2層メタルで形成される。出力端子PADは、トランジスタN1とP1との間に配置される。ダイオードDNのカソードは、例えば、接地線GND下のP型半導体基板Psubに形成され、第2層メタルよりも基板側にある第1層メタルにより、トランジスタN1のゲートに接続される。同様に、ダイオードDPのアノードは、例えば、電源線VCC下のN型ウェルNwellに形成され、第1層メタルにより、トランジスタP1のゲートに接続される。トランジスタN2、P2、N3、P3は、特に図示しないが、トランジスタN1、P1が配置される領域以外の領域に配置される。これにより、ト

ランジスタ N1 のドレインからダイオード DN のカソードまでの距離は、ランジスタ N1 のドレインからランジスタ N2 のドレインまでの距離よりも短くなる。同様に、ランジスタ P1 のドレインからダイオード DP のアノードまでの距離は、ランジスタ P1 のドレインからランジスタ P3 のドレインまでの距離よりも短くなる。

【0037】

このようなダイオード DN、DP を備えることにより、上記不測の事態を克服することが可能となる。以下、これにつき、詳細に説明する。

【0038】

図 7A、図 7B はそれぞれ、この発明の第 1 実施形態に係る半導体集積回路装置の保護動作の一例を示す図である。本一例は、チップ 2 が正に帯電している場合を想定する。

【0039】

図 7A、図 7B に示すように、正に帯電したチップ 2 の出力端子 PAD に、接地したニードル 17 を近づけ、出力端子 PAD とニードル 17 との間に気中放電を起こす (1)。ランジスタ N1 のドレイン D の電位が低下し、ドレイン D と P 型半導体基板 Psub が順バイアスされ、ドレイン D と P 型半導体基板との間に電流が流れ、ドレイン D の周囲の基板電位が低下する (2)。この基板電位の低下に伴い、基板 Psub をアノードとし、ドレイン D に隣接して形成された N 型半導体領域 N+ をカソードとするダイオード DN がブレイクダウンする (3)。これにより、ランジスタ N1 のゲート電位が低下する。このブレイクダウンはダイオード DN の逆方向のリバース電圧、一般には約 15 V の電位差が生じた後に起こるが、上述した通り、気中放電による電圧は数千 V に及ぶ。このため、ブレイクダウンは瞬時に起きる。また、カソードは、ランジスタ N1 のドレインに隣接して形成されているために、ランジスタ N1 からカソードまでの距離は十分に小さい。

【0040】

このため、参考例に比較して、ランジスタ N1 のドレインの電位低下と、そのゲートの電位低下との間の時間差を、より短くすることができる。この結果、

トランジスタN1のドレインDとそのゲートGとの間に電位差が、事実上生じない、と考えることができる。よって、チップ2が接地点GND及び電源VCCに未接続の状態で、チップ2が気中放電した場合でも、トランジスタN1のゲート絶縁膜が破壊されることはなく、集積回路を保護することができる。

【0041】

図8A、図8Bはそれぞれこの発明の第1実施形態に係る半導体集積回路装置の保護動作の他例を示す図である。本他例は、チップ2に、正に帯電した帯電体が近づいた場合を想定する。

【0042】

図8A、図8Bに示すように、チップ2の出力端子PADに、正に帯電したニードル17を近づけ、出力端子PADとニードル17との間に気中放電を起こす(1)。トランジスタP1のドレインDの電位が上昇し、ドレインDとN型ウェルNwellが順バイアスされ、ドレインDとN型ウェルとの間に電流が流れ、ドレインDの周囲のウェル電位が上昇する(2)。このウェル電位の上昇に伴い、ウェルNwellをカソードとし、ドレインDに隣接して形成されたP型半導体領域P+をアノードとするダイオードDPがブレイクダウンする(3)。これにより、トランジスタP1のゲート電位が上昇する。このように、図7A、図7Bとは逆の保護動作により、チップ2が接地点GND及び電源VCCに未接続の状態で、チップに向かって気中放電が起こった場合でも、トランジスタP1のゲート絶縁膜が破壊されることはなく、集積回路を保護することができる。

【0043】

MILやEIAJの試験規格については、参考例に係る半導体集積回路装置と同様の保護動作により満足することができる。

【0044】

なお、本実施形態においては、ダイオードをPN接合ダイオードとしたが、PN接合ダイオード以外のダイオードを使用することもできる。

【0045】

(第2実施形態)

図9は、この発明の第2実施形態に係る半導体集積回路装置を示す回路図であ

る。

【0046】

図9に示すように、本第2実施形態は、第1実施形態で説明したダイオードDN、DPをそれぞれ、絶縁ゲート型電界効果トランジスタNFET、PFETに置き換えたものである。絶縁ゲート型電界効果トランジスタの例は、例えば、MOSFETである。気中放電によりチップ2が放電されたり、充電されたりするメカニズムは第1実施形態と同じである。本例は、MOSFETのチャネル部のサーフェスブレイクダウン特性を利用することで、第1実施形態と同様の効果を得ることができる。

【0047】

(第3実施形態)

図10は、この発明の第3実施形態に係る半導体集積回路装置を示す回路図である。

【0048】

図10に示すように、本第3実施形態は、第1実施形態で説明したダイオードDN、DPをそれぞれ、バイポーラトランジスタQNP、QPPに置き換えたものである。本実施形態においても、気中放電によりチップ2が放電されたり、充電されたりするメカニズムは第1実施形態と同じである。本例は、バイポーラトランジスタのパンチスルー特性を利用することで、第1実施形態と同様の効果を得ることができる。

【0049】

(試験例)

次に、図1A、図1B、図2A、図2Bに示した不測の事態を再現する電子カードの試験例を説明する。

【0050】

図11Aは、電子カード及び／又はチップを充電する充電試験を示す図である。

【0051】

図11Aに示すように、絶縁体 (insulator) 11上に導電板 (conducting pl

ate) 12を置き、電子カード1を導電板12上に置く。導電板12は接地する。次に、電源13を、蓄電器14に継電器15を介して接続し、蓄電器14を充電する。電源13は数十kVの電圧、例えば、15kVの電圧を発生させる。蓄電器14は数百pFの容量、例えば100pFの容量を持つ。充電が完了したら、蓄電器12を抵抗16の一端に、継電器15を介して接続する。抵抗16は数kΩの抵抗、例えば1.5kΩの抵抗を持ち、その他端はニードル17に接続されている。ニードル17を電子カード1に近づける。ニードル17と電子カード1との間の距離がある距離になると、ニードル17と電子カード1との間に気中放電が起こり、電子カード1及び／又はカード内のチップが充電される。これにより、図1A、図1Bに示した不測の事態が再現される。

【0052】

図11Bは、電子カード及び／又はチップを放電させる放電試験を示す図である。

【0053】

図11Bに示すように、例えば、図11Aの試験により充電した電子カード1を、絶縁体11上に置く。今度は、接地されたニードル17を電子カード1に近づける。ニードル17と電子カード1との間の距離がある距離になると、ニードル17と電子カード1との間に気中放電が起こり、電子カード1及び／又はカード内のチップが放電する。これにより、図2A、図2Bに示した不測の事態が再現される。

【0054】

なお、本充電試験例及び放電試験例では、ニードル17を電子カード1の外部端子3に近づける例を示しているが、試験は外部端子3に対してだけでなく、図11A及び図11B中点線円に示すように、電子カード1の側面や、電子カードの表面、裏面に対しても行った。市場において、気中放電は電子カード1のどの個所に発生するかは予測できないためである。

【0055】

いずれの試験においても、第1～第3の実施形態に係る半導体集積回路装置を具備した電子カード1は破壊されることはなく、正常に動作した。

【0056】

従って、第1～第3実施形態に係る半導体集積回路装置及びそれを用いた電子カードは、集積回路が接地点や電源に未接続の状態でも、この集積回路を破壊から保護することができる、という利点を得ることができる。

【0057】

(応用例)

上記第1～第3実施形態に係る半導体集積回路装置は、もちろん、電子製品に組み込まれても良いが、電子カードに組み込まれることが特に良い。電子カードは、人間によって持ち運ばれ、あるいは携帯されるものである。このため、上述した不測の事態に遭遇する可能性が高い。

【0058】

電子カードの一例としては、メモリカードがある。メモリカードは、その主記憶部として、不揮発性半導体記憶装置を有する。不揮発性半導体記憶装置の例としては、NAND型フラッシュメモリ、AND型フラッシュメモリを挙げることができる。上記第1～第3実施形態により説明した出力回路は、NAND型フラッシュメモリ、AND型フラッシュメモリの出力回路に使うことができる。図12A、図12BにNAND型フラッシュメモリの一例を示す。

【0059】

図12AはNAND型EEPROMの一例を示すブロック図、図12BはNAND型EEPROMのメモリセルアレイの一例を示す回路図である。

【0060】

上記第1～第3実施形態により説明した出力回路は、例えば、図12Aに示すI/Oピン(I/O1～I/O8)に接続される出力回路に使用することができる。

【0061】

また、メモリカードには、主記憶としての不揮発性半導体記憶装置だけでなく、不揮発性半導体記憶装置を制御するメモリコントローラを内蔵しているものもある。上記第1～第3実施形態により説明した出力回路は、このメモリコントローラのI/Oピンに接続される出力回路にも使用することができる。

【0062】

また、電子カード1は、例えば、外部端子3が有る接触式電子カードと、外部端子3が無い非接触式電子カードとに大別することができる。上記第1～第3実施形態に係る半導体集積回路装置は、接触式電子カード、非接触式カードのどちらにも組み込むことができるが、気中放電は、接触式電子カードにおいて起こりやすい現象である、と推測される。接触式電子カードは、導電物である外部端子3がカード表面から露出しているためである。試験例の欄にて説明したように、市場において、気中放電が電子カードのどの個所に発生するかを完全に予測することはできないが、一般に絶縁物であるカード外装体よりは、導電物である外部端子3に対して発生する可能性が高い。外部端子3はチップ2の出力端子PADに接続される。このため、外部端子3に気中放電が発生した場合には、実施形態の欄において説明したような不測の事態が起こる。従って、上記実施形態による利点は、接触式電子カードにおいて、有効に得ることができる。

【0063】

さらに、接触式電子カードにおいて気中放電が起こる可能性は、カードサイズに占める外部端子3の面積の割合にも依存するだろう。カードサイズに占める外部端子3の面積が大きければ、カード表面から導電物が広く露出していることになり、気中放電が起こる可能性は高まる。例えば、弊社製の電子カード1では、カードサイズに占める外部端子3の面積の割合が25%を超えるものもある（例えば、図11A、図11Bの斜視図参照）。このように、カードサイズに占める外部端子3の面積の割合が25%を超える電子カード1において、上記実施形態による利点は、さらに有効に得ることができる。

【0064】

もちろん、上記第1～第3実施形態に係る半導体集積回路装置は、接触式電子カードや、カードサイズに占める外部端子3の面積の割合が25%を超える接触式電子カードに限って用いられるものではなく、非接触式電子カード、カードサイズに占める外部端子3の面積の割合が25%以下の接触式電子カードにも用いることができる。これらのカードにおいても、上記不測の事態が発生しない、とは断言できないからである。従って、上記第1～第3実施形態に係る半導体集積回路装置を、非接触式電子カードや、カードサイズに占める外部端子3の面積の

割合が 2 5 % 以下の接触式電子カードにも用いた場合でも、上記実施形態による利点を得ることができる。

【 0 0 6 5 】

以上、この発明を第 1 ～ 第 3 実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【 0 0 6 6 】

上記実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせて実施することも、もちろん可能である。

【 0 0 6 7 】

上記各実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 0 6 8 】

【発明の効果】

以上説明したようにこの発明によれば、集積回路が接地点や電源に未接続の状態でも、この集積回路を破壊から保護することが可能な半導体集積回路装置及びそれを用いた電子カードを提供できる。

【図面の簡単な説明】

【図 1】 図 1 A、図 1 B は不測の事態の一例を説明するための図

【図 2】 図 2 A、図 2 B は不測の事態の他例を説明するための図

【図 3】 図 3 A はニードルを出力端子に接触させた場合の電流 I と時間 t との関係を示す図、図 3 B は気中放電が起こった場合の電圧 V と時間 t との関係を示す図

【図 4】 図 4 A、図 4 B はこの発明の参考例に係る半導体集積回路装置を示す回路図

【図 5】 図 5 A はこの発明の参考例に係る半導体集積回路装置を示す回路図、図 5 B はその断面図

【図 6】 図 6 A はこの発明の第 1 実施形態に係る半導体集積回路装置を示

す回路図、図 6 B はその平面パターンの一例を示す平面図

【図 7】 図 7 A、図 7 B はそれぞれこの発明の第 1 実施形態に係る半導体集積回路装置の保護動作の一例を示す図

【図 8】 図 8 A、図 8 B はそれぞれこの発明の第 1 実施形態に係る半導体集積回路装置の保護動作の他例を示す図

【図 9】 図 9 はこの発明の第 2 実施形態に係る半導体集積回路装置を示す回路図

【図 1 0】 図 1 0 はこの発明の第 3 実施形態に係る半導体集積回路装置を示す回路図

【図 1 1】 図 1 1 A は充電試験例を示す斜視図、図 1 1 B は放電試験例を示す斜視図

【図 1 2】 図 1 2 A は NAND 型 E E P R O M の一例を示すブロック図、図 1 2 B は NAND 型 E E P R O M のメモリセルアレイの一例を示す回路図

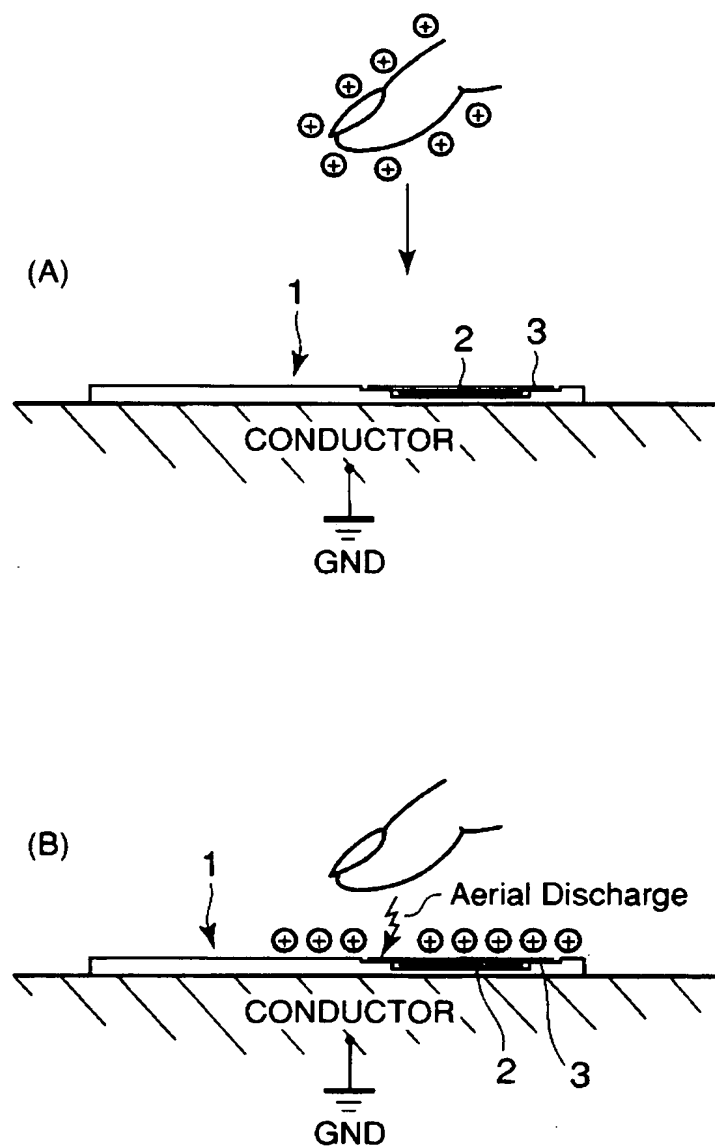
【符号の説明】

1…電子カード、2…半導体集積回路装置チップ、3…カード外部端子、2 1…出力バッファ、2 2…出力バッファ駆動回路、P 1～P 3、P F E T…P チャネル絶縁ゲート型電界効果トランジスタ、N 1～N 3、N F E T…N チャネル絶縁ゲート型電界効果トランジスタ、Q P N P…P N P 型バイポーラトランジスタ、Q N P N…N P N 型バイポーラトランジスタ

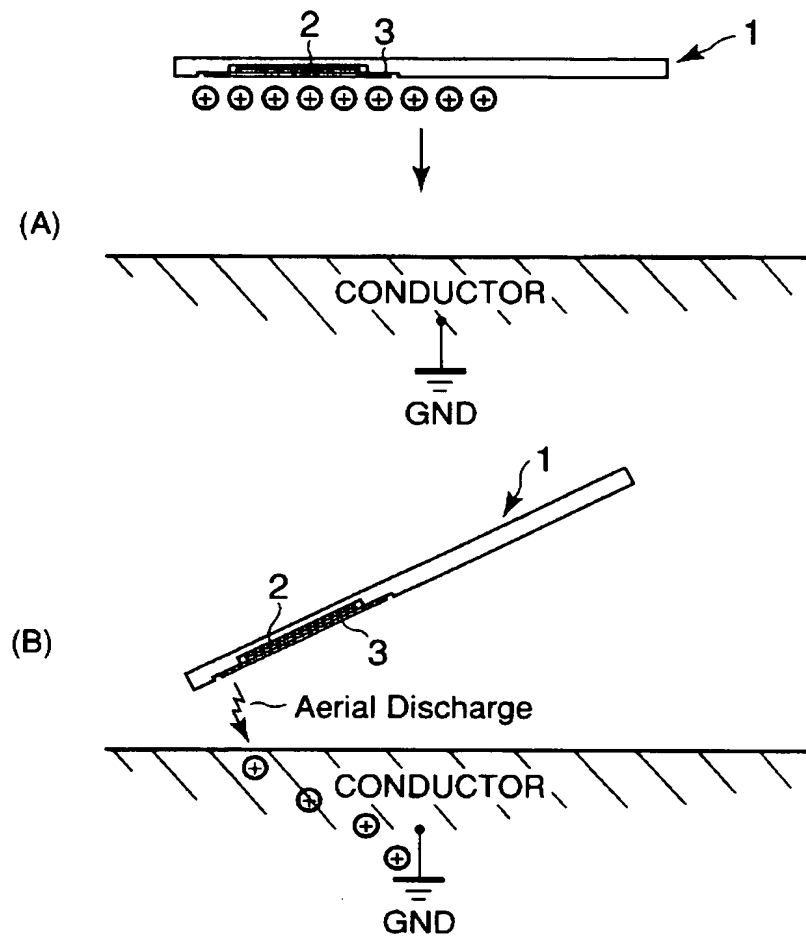
【書類名】

図面

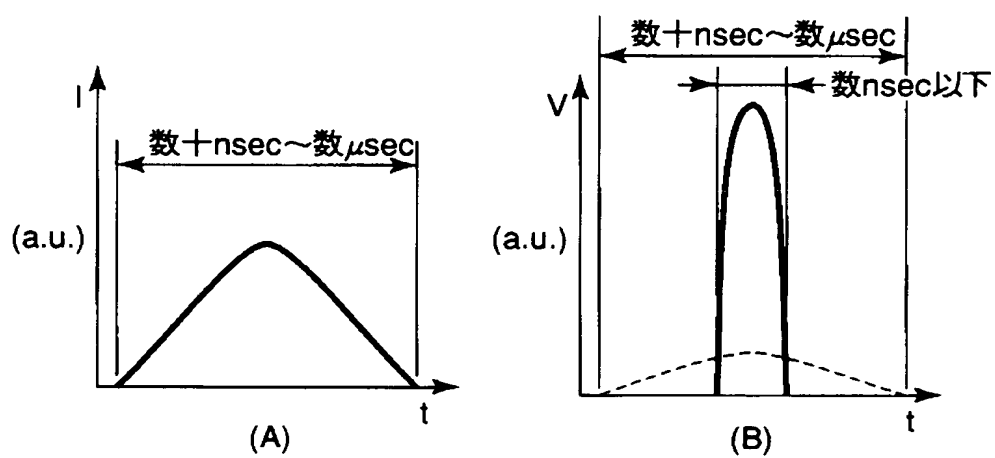
【図 1】



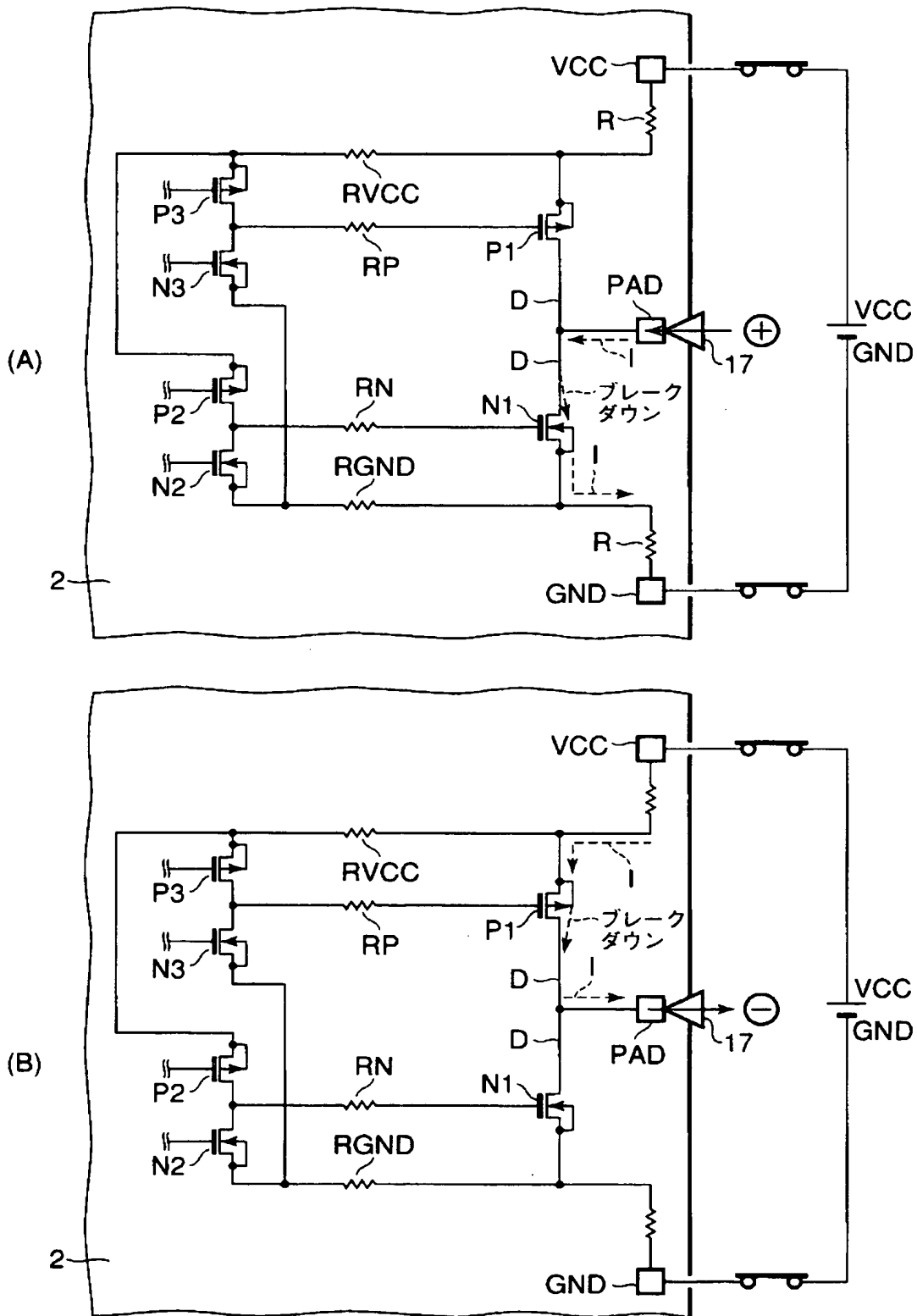
【図 2】



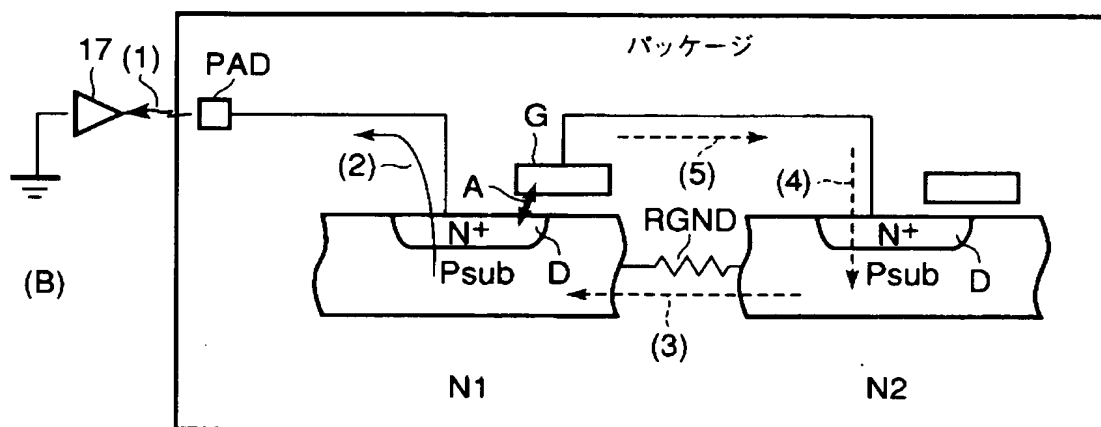
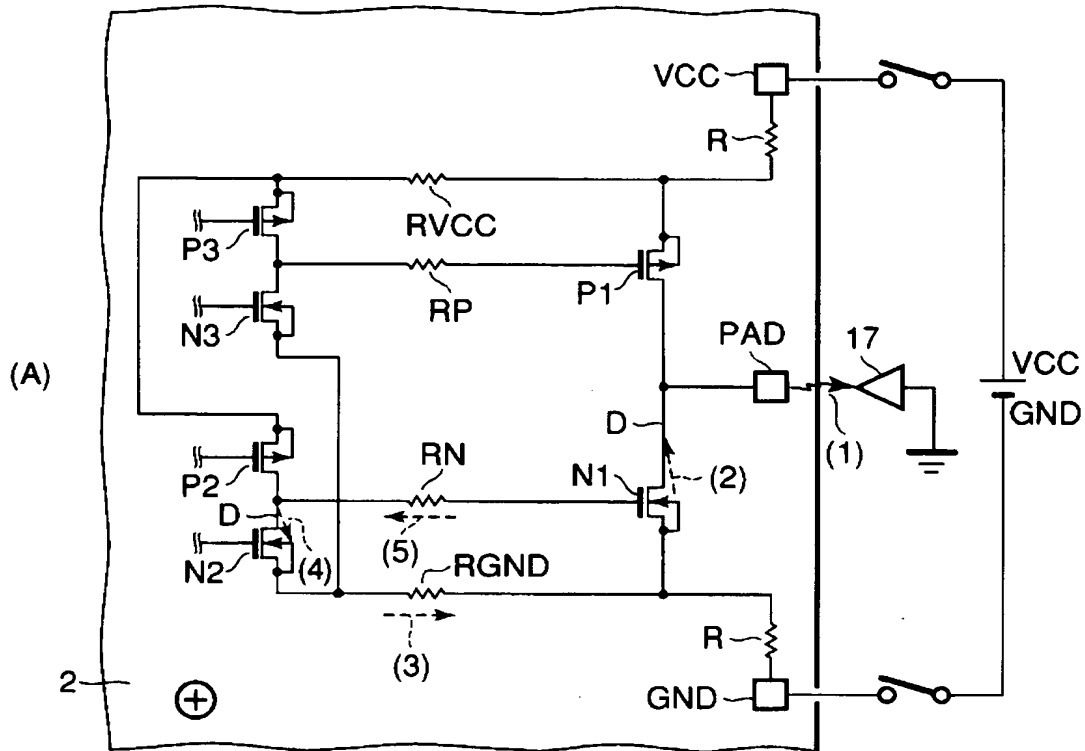
【図 3】



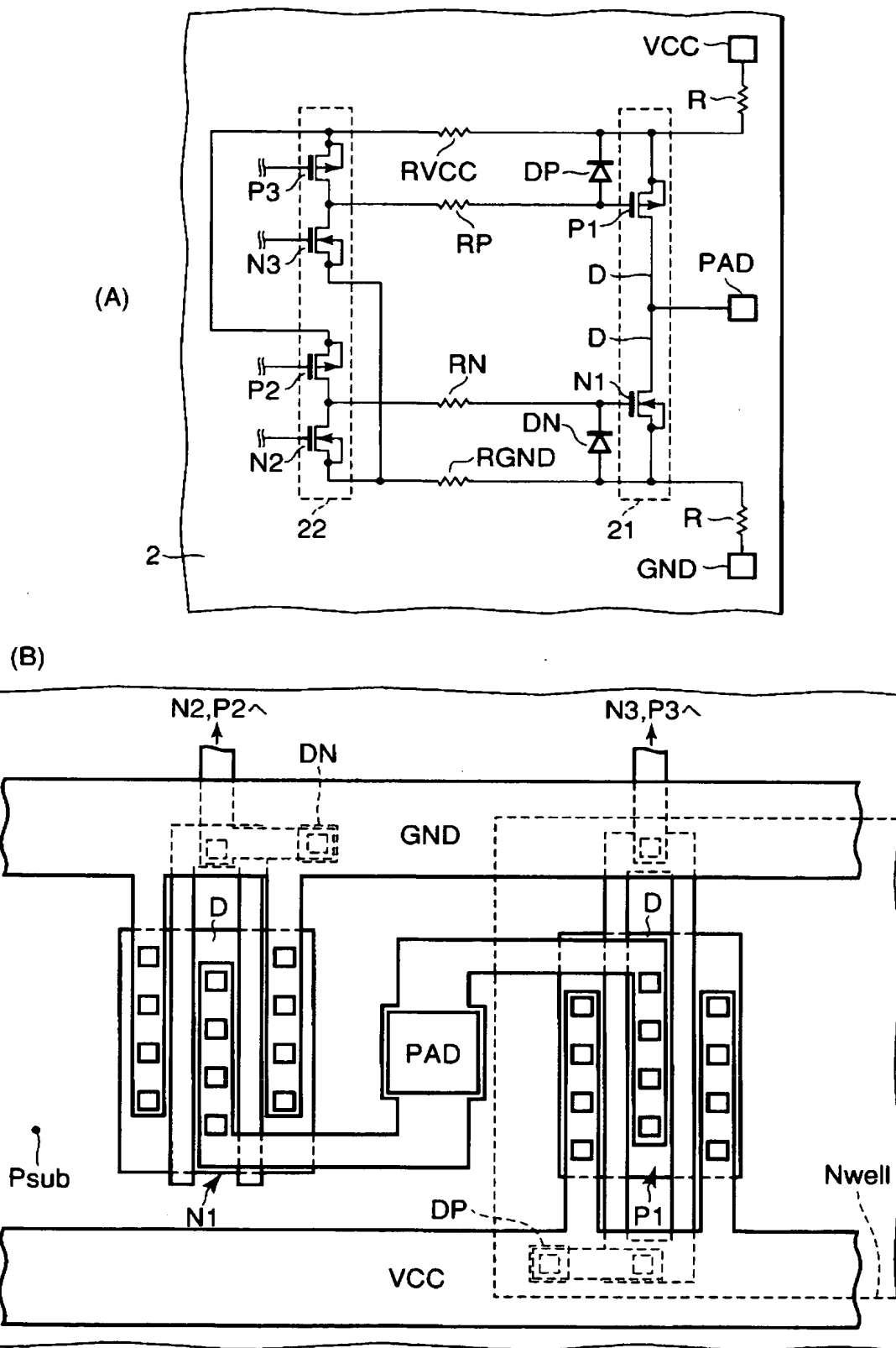
【図 4】



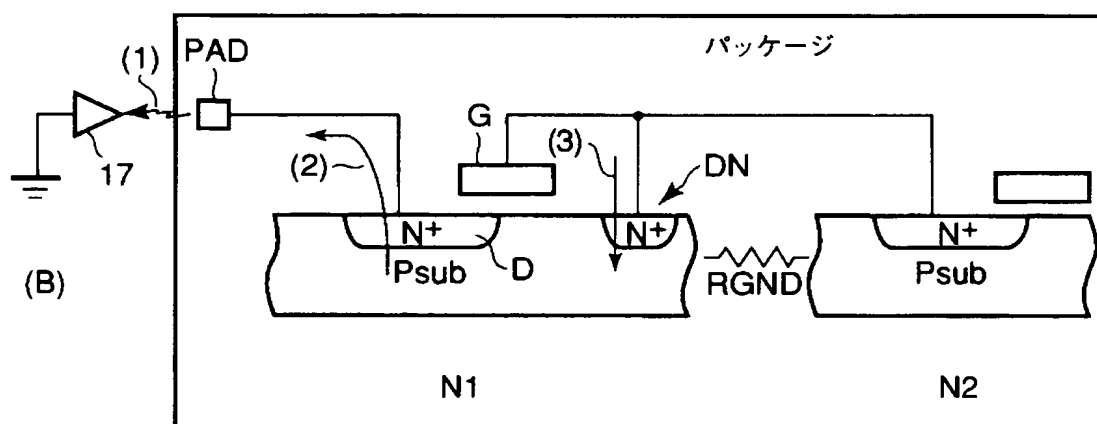
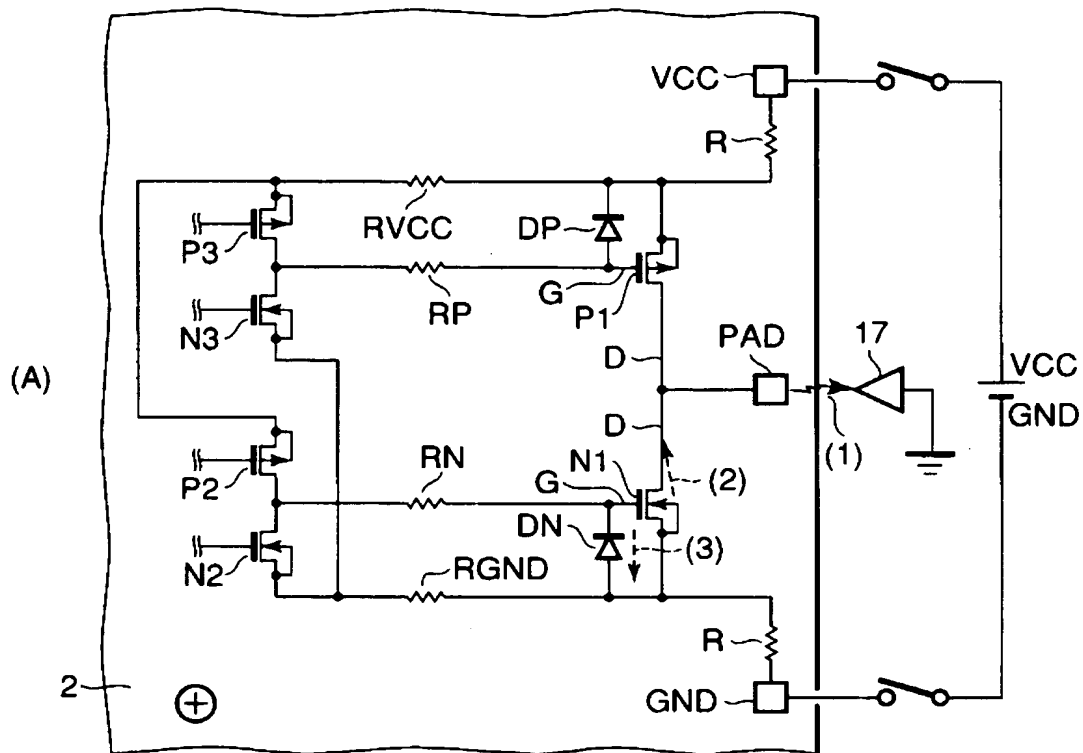
【図 5】



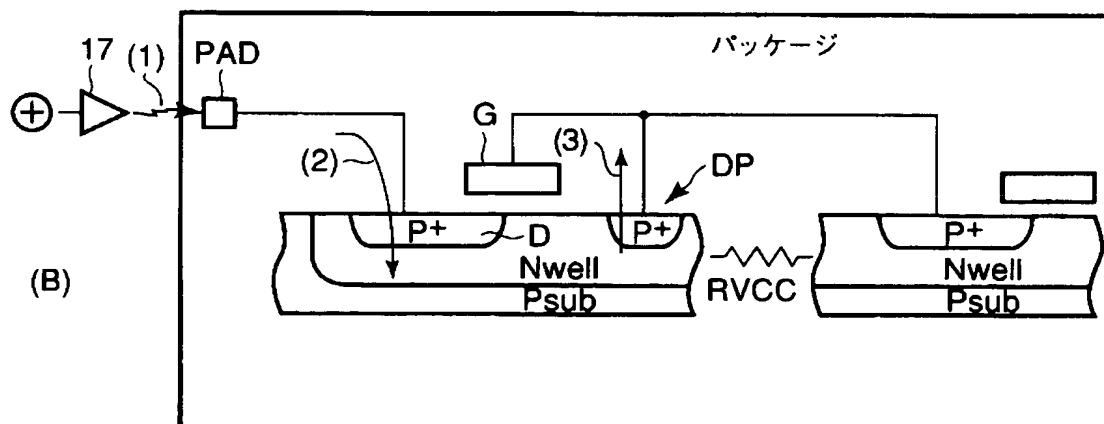
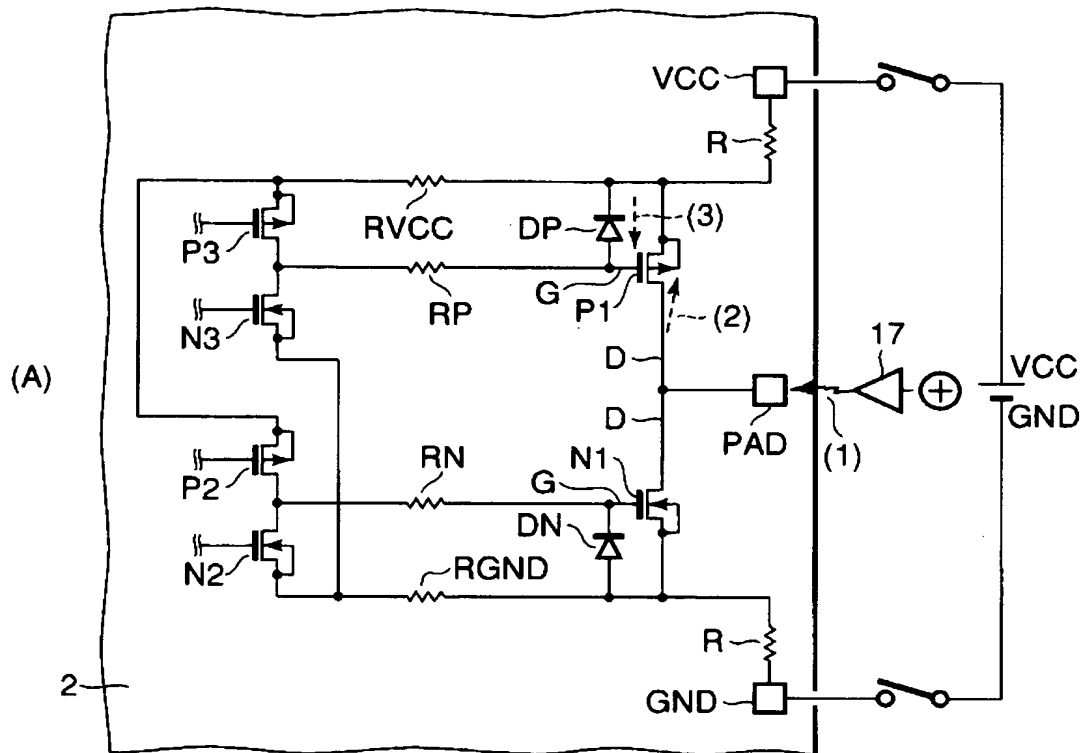
【図 6】



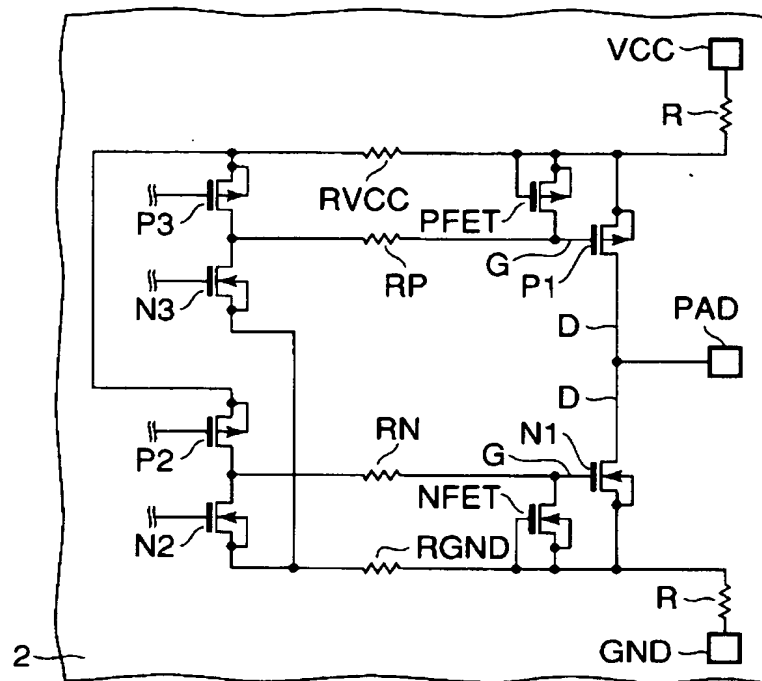
【図 7】



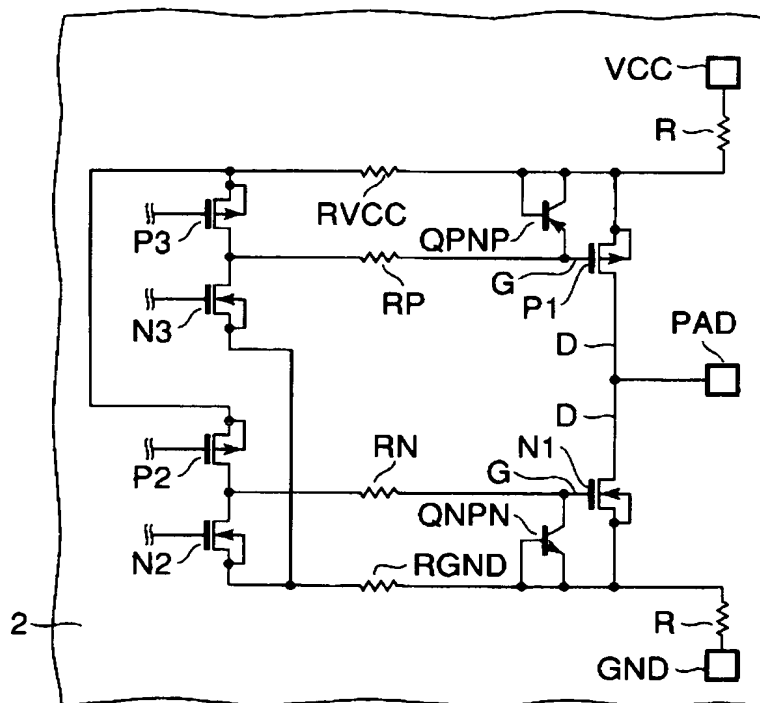
【図 8】



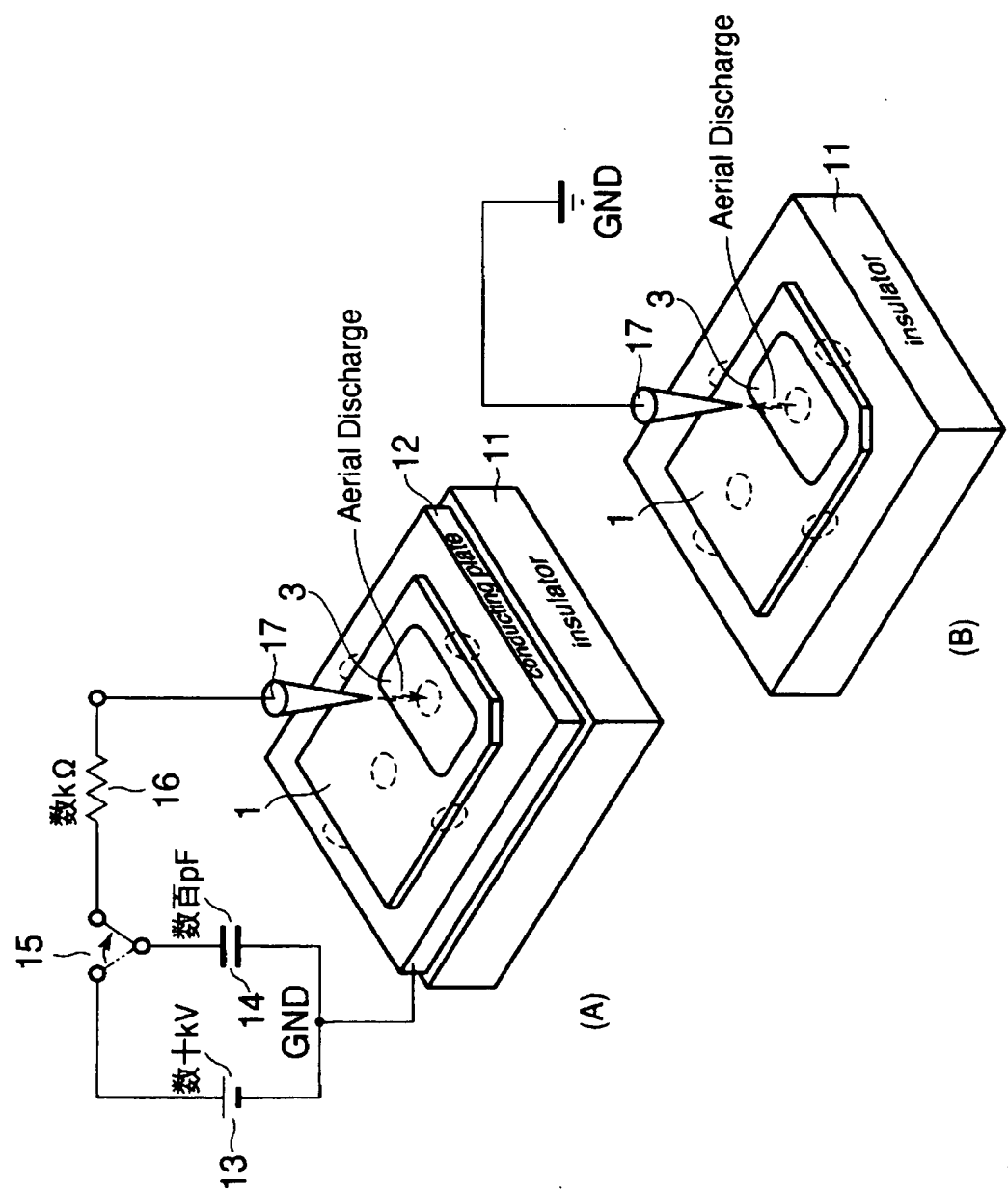
【図 9】



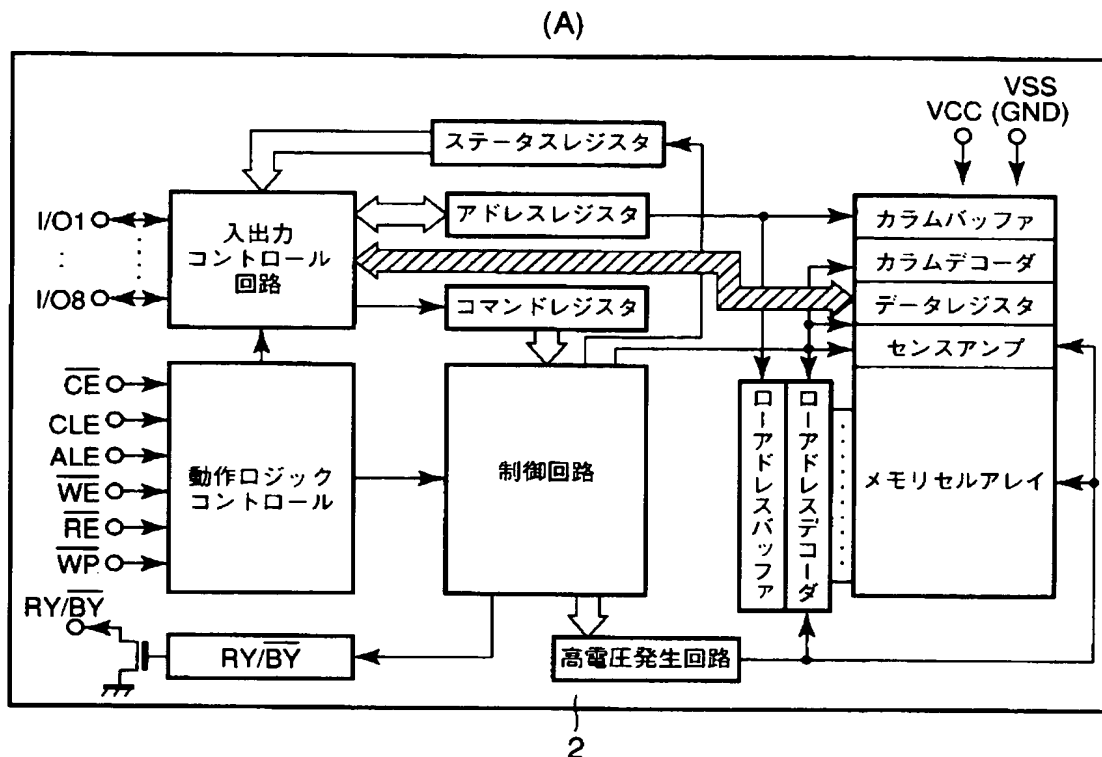
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 集積回路が接地点や電源に未接続の状態でも、この集積回路を破壊から保護することが可能な半導体集積回路装置を提供すること

【解決手段】 第 1 導電型の第 1 半導体領域 (PSUB) と、第 1 半導体領域 (PSUB) に形成された第 2 導電型のソース／ドレイン領域 (D) と、ソース／ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成されたゲート電極 (G) を持つトランジスタ (N1) と、トランジスタのドレイン領域 (D) に電氣的に接続された出力端子 (PAD) と、トランジスタ (N1) のソース／ドレイン領域 (D) に隣接して、第 1 半導体領域 (PSUB) に形成され、トランジスタ (N1) のゲート電極 (G) に接続される第 2 導電型の第 2 半導体領域 (DN) とを具備する。

【選択図】 図 7

特願 2 0 0 2 - 3 4 8 9 3 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日
[変更理由]

2 0 0 1 年 7 月 2 日

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝

特願 2 0 0 2 - 3 4 8 9 3 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 9 9]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 3 日
新規登録

住 所
氏 名

神奈川県川崎市川崎区駅前本町 2 5 番地 1
東芝マイクロエレクトロニクス株式会社